

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199455
 (43)Date of publication of application : 31.07.1997
 H01L 21/304

(51)Int.Cl.

B24B 37/00

(21)Application number : 08-110578
 (22)Date of filing : 08.04.1998

(71)Applicant :
 (72)Inventor :

TOSHIBA CORP
 MIYASHITA NAOTO
 SHIMOMURA MARIKO
 ABE MASAYASU

(30)Priority

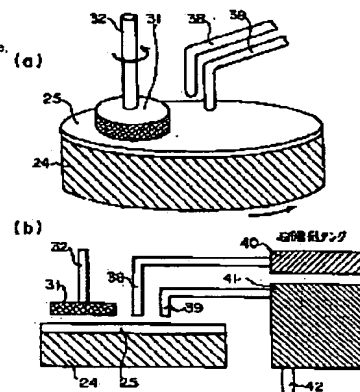
Priority number : 07317054 Priority date : 13.11.1995 Priority country : JP

(54) POLISHING METHOD, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MANUFACTURING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a polishing method using an abrasive composed of a novel material large in a polishing rate and semiconductor manufacturing apparatus for flatting a film to be polished of a semiconductor substrate by chemical- mechanic polishing(CMP).

SOLUTION: Polishing is performed using an abrasive scattering grinding particles composed of one material selected from silicon nitride, silicon carbide and carbon (graphite). Further, this abrasive is applied to CMP to polish a material to be polished on a semiconductor substrate. Further, a stopper film of the same material as the abrasive is formed on the semiconductor substrate, and the abrasive and the stopper film are polished with the same material to enhance a polishing rate. When the abrasive from a pipe 38 is supplied to a processing point of the semiconductor substrate on a grinding cloth 25, dispersant composed of ion water from a pipe 39 is also supplied. These abrasive and dispersant are integral with each other at this processing point, so that the abrasive is not deteriorated.



LEGAL STATUS

[Date of request for examination]

14.11.2000

[Date of sending the examiner's decision of rejection]

<http://www1.ipdl.jpo-miti.go.jp/PA1/result/detail/main/wAAAa14578DA409199455P1.htm>

01/01/10

Searching PAJ

2/2 ページ

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

Best Available Copy

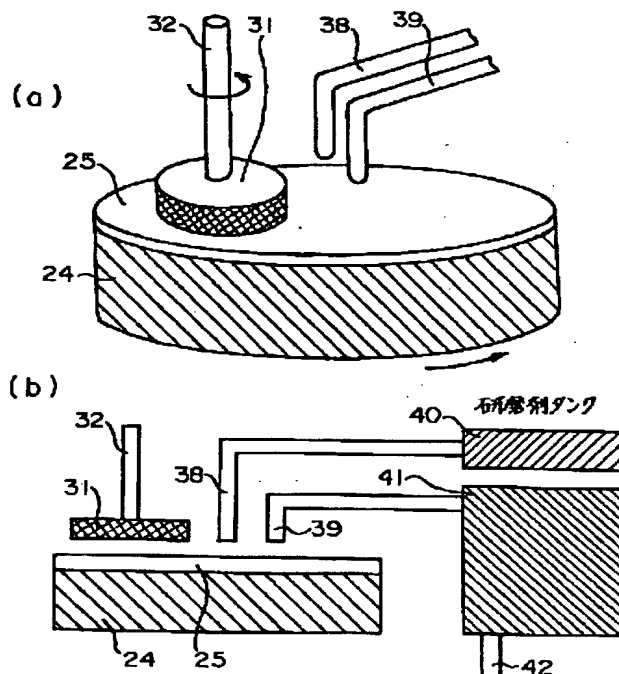
THIS PAGE BLANK (USPTO)

(43)公開日 平成9年(1997)7月31日

審査請求 未請求 請求項の数7 FD (全 11 頁)

(74) 代理人 弁理士 竹村 壽

【解決手段】 ポリッシングは、窒化珪素、炭化珪素及び炭素（グラファイト）から選択された１つの材料からなる研磨粒子を分散させた研磨剤を用いて行う。又この研磨剤はCMPに適用して半導体基板上の被ポリッシング材をポリッシングする。又半導体基板に研磨剤と同じ材料のストッパー膜を形成し、研磨剤とストッパー膜とを同じ材料でポリッシングしてポリッシングレートを向上させる。パイプ３８からの研磨剤を研磨布２５の上の半導体基板の加工点に供給する際に、パイプ３９からのイオン水からなる分散剤も供給する。この研磨剤と分散剤とはこの加工点で一体化させることにより研磨剤が劣化しない。



【特許請求の範囲】

【請求項1】 窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなる研磨粒子を分散させた研磨剤を用いて被ポリッシング材をポリッシングすることを特徴とするポリッシング方法。

【請求項2】 基板表面にストッパー膜を形成する工程と、

前記ストッパー膜上及び前記基板表面上に被ポリッシング膜を形成する工程と、前記ストッパー膜と同じ材料からなる研磨粒子を分散させた研磨剤を用いて前記被ポリッシング膜をポリッシングする工程とを備えていることを特徴とするポリッシング方法。

【請求項3】 半導体基板主面にストッパー膜を形成する工程と、

前記ストッパー膜及び半導体基板主面を選択的にエッチングしてこの半導体基板上に溝部を形成する工程と、前記溝部内及び前記ストッパー膜上を含めて前記半導体基板主面上に被ポリッシング膜を堆積する工程と、研磨布を用い、窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなる研磨粒子を分散させた研磨剤をこの研磨布の加工点に供給しながら前記被ポリッシング膜を前記ストッパー膜が露出するまでポリッシングして、前記被ポリッシング膜を前記溝部に埋め込む工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項4】 前記加工点には前記研磨剤とともにイオン水を供給することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 表面に研磨布を固定させた研磨盤と、前記研磨盤を回転させる第1の駆動手段と、被ポリッシング膜とストッパー膜とが形成されている半導体基板を固定する吸着盤と、前記吸着盤を回転させる第2の駆動手段と、前記研磨布に窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなる研磨粒子を分散させた研磨剤を供給する手段とを備えていることを特徴とする半導体製造装置。

【請求項6】 表面に研磨布を固定させた研磨盤と、前記研磨盤を回転させる第1の駆動手段と、被ポリッシング膜と窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなるストッパー膜とが形成されている半導体基板を固定する吸着盤と、前記吸着盤を回転させる第2の駆動手段と、前記研磨布に前記材料と同一の材料を含む研磨粒子を分散させた研磨剤を供給する手段とを備えていることを特徴とする半導体製造装置。

【請求項7】 イオン水を供給する手段をさらに備えていることを特徴とする請求項5又は請求項6に記載の半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板をポリッシングするポリッシング方法、このポリッシング法により半導体基板上の被ポリッシング膜をポリッシングして平坦化する半導体装置の製造方法及びこの製造方法に用いる半導体製造装置に関するものである。

【0002】

【従来の技術】ポリッシング装置は、研磨布を表面に張り付けモータなどにより回転される研磨盤と、基板を回転自在に支持し、回転する基板を研磨盤に押し付ける吸着盤とを備えている。このポリッシング装置を用いて基板をポリッシングするには回転する基板のポリッシング面を回転する研磨盤上の研磨布に押し付け加工点に研磨剤（スラリーともいう）を供給しながらポリッシングするのが一般的である。このポリッシング装置を利用したポリッシング技術は、半導体装置の製造や液晶の製造などに適用されている。ICやLSIなどの半導体装置は、半導体基板に形成される集積回路を設計する設計工程、集積回路を形成するために用いられる電子ビームなどを描画するためのマスク作成工程、単結晶インゴットから所定の厚みのウェーハを形成するウェーハ製造工程、ウェーハに集積回路などの半導体素子を形成するウェーハ処理工程、ウェーハを各半導体基板に分離しパッケージングして半導体装置を形成する組立工程及び検査工程等を経て形成される。各工程には、それぞれその工程に必要な製造装置が用意される。従来ウェーハ処理工程においてトレンチやコンタクトホールなどの溝（トレンチ）部に金属、ポリシリコン、シリコン酸化膜（ SiO_2 ）などの任意の材料を埋め込んだ後にその表面を平坦化する方法としてエッチバックRIE(Reactive Ion Etching)法が知られている。

【0003】しかし、このエッチバックRIE方法は、エッチバックレジストの塗布などの工程が多くなること、ウェーハ表面にRIEダメージが入り易いこと、良好な平坦化が難しいこと、また真空系の装置を用いるため、構造が複雑で、危険なエッチングガスを使用することなど様々な問題が多い。そこで最近では、エッチバックRIEに代わってCMP(Chemical Mechanical Polishing)法が研究されるようになってきた。図16に、CMPを実施するためのポリッシング装置の概略を示し以下にその機構を説明する。図は、本発明にも適用される従来のポリッシング装置の断面図である。このポリッシング装置は、ステージ21上にベアリング22を介して研磨盤受け23が配置されている。研磨盤受け23上には研磨盤24が取り付けられている。研磨盤24の上にはウェーハをポリッシングする研磨布25が張り付けられている。研磨盤受け23及び研磨盤24を回転させるためにこれらの中心部分に駆動シャフト26が接続されている。駆動シャフト26は、モータ27により回転ベルト28を介して回転される。一方、シリコン半導体

などのウェーハ20は、研磨布25と対向する位置に配置され、真空又は水張りにより吸着盤31に取り付けられた吸着布30及びテンプレート29に固定されている。

【0004】吸着盤31は、駆動シャフト32に接続されている。駆動シャフト32は、モーター33によりギア34及び35を介して回転される。また、駆動シャフト32は、駆動台36に固定されている。駆動台36は、シリンダ37に取り付けられ、このシリンダ37による上下の移動に伴って上下される。吸着盤31に固定されたウェーハ20と研磨布25の間には、研磨剤が供給される。このようにしてウェーハ20のポリッシングが行われる。このポリッシング装置を用いて、図17及び図18に示すように、CVD酸化膜を埋め込みストッパー膜でポリッシングを止めることによりリセス構造に埋め込んだ酸化膜を完全に平坦化することができる。まず、シリコン半導体基板1上に SiO_2 などの酸化膜をポリッシングする際のストッパー膜となる窒化珪素膜2を堆積する。その後、CVD (Chemical Vapour Deposition) により形成される溝部形成用のマスクとなる SiO_2 酸化膜 (以下、CVD酸化膜という) 3を堆積する。CVD酸化膜3及び窒化珪素膜2をパターニングするためにフォトリソ (図示せず) を半導体基板1全面に塗布しパターニングする。

【0005】フォトリソをマスクにしてCVD酸化膜3と次工程でポリッシングのストッパー膜として用いられる窒化珪素膜2とをRIE法により同時に開口して溝部5を形成した後、ウェット処理でRIE加工時の反応生成物とダメージ層を取り除く (図17 (a))。次に、半導体基板1上及び前記溝部内にCVD酸化膜6もしくはBPSG (Boron-doped Phospho-Silicate Glass) などを堆積し (図17 (b))、図16に示すポリッシング装置で半導体基板1をポリッシングしてCVD酸化膜6を平坦化する (図18 (a))。その後ストッパー膜である窒化珪素膜2は、取り除かれる (図18

(b))。従来のポリッシング装置では、研磨粒子として酸化セリウム粒子もしくはシリカ粒子などを研磨剤に分散して使用しているのでディッシングされて溝を埋め込んだCVD酸化膜6に窪み7ができる。酸化膜6の窪み7のほかにシリコン半導体基板1自体の溝のコーナー部分もエッチングされており後工程を進めるにあたり問題となる場合がある。例えば、窪みに n^+ 化や p^+ 化したポリシリコンやメタル残りが生じることによる抵抗異常や配線ショートなどが発生することがある。

【0006】

【発明が解決しようとする課題】半導体基板の溝部に埋め込んだ酸化膜又は多層配線の層間絶縁膜に使用する酸化膜の平坦化にポリッシング装置を使用する場合、オーバーポリッシングによるディッシングや目的とする膜厚でポリッシングを止めるためにストッパー膜を用いる場合

が多い。従来、酸化膜をポリッシングする場合、酸化セリウム粒子又はシリカ粒子を研磨剤に分散して使用している。シリカ粒子を分散させた研磨剤は、ポリッシング速度が約 $0.10 \sim 0.15 \mu\text{m}/\text{min}$ と遅い。また、酸化セリウム粒子を分散した研磨剤は約 $0.5 \sim 1.0 \mu\text{m}/\text{min}$ と速いポリッシング速度を有している。しかし、酸化セリウム粒子を用いた研磨剤を用い窒化珪素膜をストッパーにする場合においてはその選択比が約2、ポリシリコンをストッパー膜に使用する場合においてはその選択比が約1~2と低く、そのためオーバーポリッシングになってストッパー膜まで削れてしまうという問題があった。

【0007】一方、シリカ粒子を研磨剤に分散して使用する場合においては、窒化珪素膜をストッパー膜に使用する場合において選択比が2、ポリシリコン膜をストッパー膜に使用する場合においても選択比は1と低く、そのためオーバーポリッシングになるとストッパー膜まで削れてディッシング化するという問題があった。しかし、この研磨剤は、ポリッシング速度が約 $0.15 \mu\text{m}/\text{min}$ と遅いので削り量をコントロールし易く、コントロールしながらオーバーポリッシングによるディッシング量を軽減している。この様に、十分にポリッシング速度の大きい研磨剤がなく、ポリッシング速度が比較的大きい研磨剤であってもストッパー膜に対して選択性が低いためにディッシングを完全に抑えることが難しく、プロセスマージンが低いのでCMP処理を量産化プロセスに使用することは難しいのが現状である。本発明は、このような事情によりなされたものであり、ポリッシングレートの大い新規な材料からなる研磨剤を用いたポリッシング方法及びCMPにより半導体基板の被ポリッシング膜を平坦化する半導体装置の製造方法及びこの方法に用いられる半導体製造装置を提供する。

【0008】

【課題を解決するための手段】本発明は、窒化珪素、炭化珪素及びグラファイト (すなわち、カーボングラファイト) から選択された1つの材料からなる研磨粒子を分散させた研磨剤を用いてポリッシングを行うことを特徴とする。とくにこの研磨剤をCMPに適用して半導体基板上の被ポリッシング材をポリッシングすることを特徴とする。また、半導体基板に前記研磨剤と同じ材料のストッパー膜を形成し、研磨剤とストッパー膜とを同じ材料でポリッシングすることを特徴とする。同じ材料とは研磨粒子とストッパー膜とが同じ組成を有することをいう。また、本発明は、半導体製造装置において研磨剤を半導体基板の加工点に供給する際にイオン水からなる分散剤を供給し、この研磨剤と分散剤とはこの加工点で一体化することを特徴とする。前記研磨粒子は高い硬度を有しており、従来知られている研磨粒子よりポリッシングレートが大きく、被ポリッシング膜の平坦化を効率良く行うことができる。この研磨剤は、半導体基板表面の

被ポリッシング膜をCMPによりポリッシングする方法に適しており、とくに研磨剤とストッパー膜とを同じ材料にするとポリッシングレートが一層向上し、またポリッシングのストッパー膜に対する高選択比が得られる。さらに、オーバーポリッシングが著しく減少するので、被ポリッシング膜にディシング形状の窪みが形成されることがない。本発明のポリッシング方法に用いる研磨剤は、研磨粒子と溶媒とから構成されている。溶媒には硝酸が多く用いられ、このほかにも界面活性剤、乳化剤、水、油脂、接着剤、イオン水などがある。被ポリッシング膜に対する研磨作用は、研磨剤にのみあるのではなく、本発明において研磨剤とともに前記加工点に供給される分散剤にも補助的な研磨作用がある。また、研磨剤の前記溶媒にも分散剤と同じような分散作用がある。

【0009】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。本発明のポリッシングを実施するに際し従来の技術で説明した図16のポリッシング装置を用いる。本発明のポリッシング装置は新規な組成の研磨剤を供給するノズルなどの手段がある点で従来のものとは異なっているが図に示されるその他の部分では格別な相違は無いので両者を共通の図で示した。まず、図1乃至図5を参照して第1の発明の実施の形態を説明する。図は、半導体基板上の被ポリッシング膜をポリッシングする方法を説明する工程断面図である。この発明の実施の形態では半導体ウェーハのポリッシング処理面において、窒化珪素粒子を溶媒の硝酸に分散させた研磨剤を用いると共にストッパー膜材料と同じ組成の研磨粒子を使用することにより、ストッパー膜との選択比を上げることがを特徴としている。図は、シリコン半導体基板に溝部を形成しこの溝部をCVD酸化膜で埋め込み、ポリッシング装置により平坦化する素子分離法とそのプロセスを示している。シリコン半導体基板1上に酸化膜をポリッシングするときのストッパー膜となる窒化珪素膜2を厚さ約70nm堆積する。

【0010】その後、溝部形成用マスクとなるCVD酸化膜3を窒化珪素膜2の上に堆積する(図1(a))。マスク及びストッパー膜をパターニングするためにフォトリソスト4をCVD酸化膜3の全面に塗布する(図1(b))。次に、このフォトリソスト4をパターニングする(図2(a))。パターニングされたフォトリソスト4をマスクにしてCVD酸化膜3とその下のストッパー膜である窒化珪素膜2をRIE法などにより開口する(図2(b))。次に、さらにRIE法で溝部5を形成する(図3(a))。溝部5を形成した後ウェット処理によりRIE加工時の反応生成物とダメージ層を取り除いた状態とする。そして、窒化珪素膜2の上及び溝部5にCVD酸化膜6もしくはBPSG膜を堆積する(図3(b))。このCVD酸化膜6を被ポリッシング膜として図16に示すポリッシング装置を用いてポリッシン

グする。このポリッシング装置に用いる研磨剤には、研磨粒子として窒化珪素粒子が分散されている。研磨剤に均一に分散するために窒化珪素粒子をコロイド状態にして分散される。研磨剤の粘度は1~10cPが適当である。なぜなら、粘性が低いと研磨粒子を均一に分散させることが難しく、また、粘性が高いとメカニカルポリッシュ性が強くなり、ウェーハの反りや膜厚の均一性がCMP後の均一性に大きく影響するようになる。したがって均一性を得ることは難しくなる。

【0011】ポリッシング温度は、20~70℃が適しており、とくに高温処理ではケミカルな作用が強くなる。窒化珪素粒子の粒径は、1次粒子で0.01~1000nmの範囲が使用される。特に1次粒子で10~400nmが適当である。コロイド状態などになった2次粒子では60~300nmが適当であり、とくに60~100nmが好ましい。このポリッシング装置によるポリッシングは、例えば、100rpm程度で回転する研磨盤24の上の研磨布25に押し付けられて行われる。その時の研磨盤24の回転数は、20~200rpmであり、押し付け圧力は、50~500g/cm²である。本発明では、分散性を良くするために研磨粒子をコロイド状態にする以外に、例えば、界面活性剤を混合して分散させることもできる。図4(a)に、CVD酸化膜6をこのポリッシング装置で平坦化した後の状態を示す。ポリッシング後は、ストッパー膜である窒化珪素膜2をエッチング除去する(図4(b))。このあと仕上げのポリッシングを行い、半導体基板面とCVD酸化膜6の表面を一樣に仕上げる(図5)。このポリッシングにより、シリコン半導体基板1及び埋め込んだCVD酸化膜6にディシングが無い良好な加工形状を得ることができた。

【0012】この発明の実施の形態では、窒化珪素粒子を研磨粒子として使用しているためにストッパー膜である窒化珪素膜2に対して50~1000の選択比と0.5~1.0μm/min以上のポリッシング速度を得ることができる。また、半導体基板上に形成したストッパー膜と同じ材料を研磨粒子に用いる研磨剤としては、窒化珪素粒子のかわりにグラファイト粒子やSiC粒子などを用いることもできる。その場合のストッパー膜には、勿論グラファイト膜やSiC膜をそれぞれ用いる。研磨剤に含まれる研磨粒子と被ポリッシング膜が形成された基板に設けられたストッパー膜とが同じ材料で構成されている場合において、ストッパー膜に対して高い選択比が得られるが、グラファイト膜やSiC膜などをストッパー膜にするとストッパー膜に対する具体的な選択比はポリッシング温度や研磨盤の回転数などのポリッシング条件により大きく変わる。

【0013】次に、図6乃至図12のポリッシング工程を示す断面図を参照して第2の発明の実施の形態を説明する。これらの図に併せて従来のポリッシングの結果を

示す図19及び図20を比較しながら発明の実施の形態の効果を説明する。この発明の実施の形態では、半導体基板のポリッシング処理において研磨剤としてストッパー膜材料と同じ組成の研磨剤を使用することにより、ストッパー膜との選択比を上げている。半導体基板上の対象とする被ポリッシング膜は、ポリシリコン膜からなる。従来は、ポリシリコン膜をポリッシングする場合、シリカ粒子を研磨剤に分散して使用しているが、ここでは窒化珪素粒子を研磨粒子としている。シリコン基板1の主面を厚さ10~50nm程度を熱酸化してバッファ酸化膜(SiO_2)8を形成する(図6(a))。その後2回目のポリシリコン膜をポリッシングするときのストッパー膜に用いられ、且つ素子領域を保護するためのマスクに用いられる窒化珪素膜2をバッファ酸化膜8の上に厚さ70nm程度堆積する(図6(b))。その後、溝部形成用マスクとなるCVD酸化膜3を窒化珪素膜2の上に堆積する(図7(a))。マスク及び窒化珪素膜をパターニングするために、フォトレジスト9をCVD酸化膜3全面に塗布し、これをパターニングする(図7(b))。

【0014】このフォトレジスト9をマスクにしてCVD酸化膜3とストッパー膜となる窒化珪素膜2をRIE法などにより同時に開口する(図8(a))。溝部10を形成した後ウェット処理にてRIE加工時の反応生成物とダメージ層を取り除き、その後溝部10の内表面を熱酸化して酸化膜11を形成する(図8(b))。次に、減圧CVDなどによりポリシリコン膜12を溝部10の内部及びCVD酸化膜3の上に堆積する(図9(a))。次に、ポリシリコン膜12を被ポリッシング膜として図16に示すポリッシング装置を用いて1回目のポリッシングを行う。このポリッシング装置に用いる研磨剤には、研磨粒子として窒化珪素粒子が溶媒の硝酸に分散されている。窒化珪素粒子は、界面活性剤を混合して分散させても良い。研磨剤の粘度は、1~10cpが適当であり、ポリッシング温度は、20~70℃が適している。この1回目のポリッシングにおけるストッパー膜にはCVD酸化膜3が用いられる。図9(b)に、ポリシリコン膜12をこのポリッシング装置で平坦化した後の状態を示す。酸化膜3をストッパー膜として使用しているため選択ポリッシングができることからディッシングは生じない。

【0015】1回目のポリッシング後は、CVD酸化膜3をHFを含むエッチング液によりエッチングする(図10(a))。CVD酸化膜3を取り除く結果ポリシリコン膜12は、半導体基板1から突出した状態になっている。次に、この突出した状態のポリシリコン膜12を被ポリッシング膜として図16に示すポリッシング装置を用いて2回目のポリッシングをする。このポリッシング装置に用いる研磨剤は前記1回目のポリッシングと同じである。図10(b)に、ポリシリコン膜12をこの

ポリッシング装置で平坦化した後の状態を示す。この平坦化によりディッシングされずに溝部がポリシリコン膜12で埋め込まれる。窒化珪素膜2の一部は、そのままLOCOS用のマスクとして使用されるので、その部分の上には、フォトリソグラフィ工程を経てフォトレジスト13が形成される(図11(a))。そして、窒化珪素膜2のフォトレジスト13で被覆されている領域を除く領域をRIE等で除去後、フォトレジストを剥離する(図11(b))。そして、熱処理により半導体基板1表面をLOCOS酸化膜14で被覆する(図12)。LOCOSマスクは周辺部がオーバーポリッシュのために薄くなりバースピークができるが、これは従来より小さく形成されるので、エリア面積がデバイス特性に大きく影響するほど影響されることはない。

【0016】ここでは窒化珪素粒子を研磨粒子に用いているのでストッパー膜である窒化珪素膜2(1回目ポリッシング)に対して50~1000の選択比と0.8~1.1 $\mu\text{m}/\text{min}$ 以上のポリッシング速度を得ることができる。酸化膜をストッパー膜にする場合(2回目ポリッシング)は、選択比が2~3程度になる。従来の方法で半導体基板1の被ポリッシング膜をポリッシングする場合において、図10(a)で示す飛び出したポリシリコン膜12をポリッシングして平坦化する場合、窒化珪素膜2をストッパー膜とするため、選択性が低いことが原因となりディッシングされて溝部を埋め込んだポリシリコン膜12に凹みとストッパー膜に片縁減りが生じる(図19(a))。窒化珪素膜の一部は、そのままLOCOSマスクとして使用するので、フォトリソグラフィ工程を経て窒化珪素膜2のLOCOSマスクとなる部分の上にフォトレジスト13を形成する(図19

(b))。窒化珪素膜2のフォトレジスト13に被覆されている領域以外の領域をRIE等で除去後、フォトレジスト13を剥離する。そして、半導体基板1の表面を熱処理してLOCOS酸化を行う(図20(b))。この様な従来の方法ではマスクは周辺部がオーバーポリッシュのために薄くなりバースピークが大きく入り、デバイスエリアが狭くなってしまう。このエリア面積は、デバイス特性に大きく影響することが知られており、コントロールしなければならない。本発明では、新規な構成の研磨剤を使用することにより図10(b)に示すような良好な平坦形状を得ることができ、その結果図12に示すようなLOCOSパターン変換差がない良好な加工形状を得ることができる。

【0017】次に、図13及び図14を参照して第3の発明の実施の形態を説明する。最近、CMP技術が高集積デバイスの製造プロセスに用いられており、本発明はこのプロセスに適用できる。ここに示す埋め込み金属配線方法では図16のポリッシング装置を用いて埋め込みCu配線を形成する。研磨剤の溶媒(硝酸)には窒化珪素粒子を研磨粒子として分散混入させる。研磨剤に窒化

珪素粒子を用いているのでポリッシング速度は、 $0.5 \sim 1.0 \mu\text{m}/\text{min}$ と速く、またこの窒化珪素粒子を分散させた研磨剤を用いたポリッシングにおいて半導体基板上的ストッパー膜としてこの粒子と同じ材料である窒化珪素膜を用いるとストッパー膜に対する選択比は著しく高くなる。この窒化珪素粒子を含む研磨剤を用いてポリシリコン膜や酸化シリコン膜など他の材料をストッパー膜にしてもやはりその選択比は、窒化珪素膜の場合ほど高くないが、従来から知られている研磨粒子を用いる場合より大きい。窒化珪素粒子の研磨剤への分散は界面活性剤などを用いて分散効率を高めることができる。半導体基板1上に SiO_2 などからなるCVD酸化膜3及びプラズマCVDで形成された SiO_2 などの酸化膜（以下、プラズマ酸化膜という）15を続けて形成する（図13（a））。

【0018】次に、プラズマ酸化膜15をバタニングして所定箇所に溝部17を形成する（図13（b））。溝部17内及びプラズマ酸化膜15の全面にCu膜16を堆積する（図13（c））。次に、図16のポリッシング装置によりプラズマ酸化膜15をストッパー膜としてCu膜16をポリッシングする。プラズマ酸化膜15が露出した段階でCu膜16のポリッシングを終了させる。この処理により溝部17内のみCu膜が埋め込まれ、Cu膜の埋め込みCu配線16が形成される（図14（a））。このポリッシングにより半導体基板1の表面がディッシングのない平坦化された表面がえられる。続く2層目のプラズマ酸化膜（ SiO_2 ）18の形成が容易になる（図14（b））。このCMP法による平坦化により2層目、3層目の電極配線（図示せず）の形成も容易となる。この発明の実施の形態において、下地酸化膜や配線金属材料として、プラズマCVD SiO_2 膜やCu膜などを用いたがそれぞれの所定の絶縁性能や金属配線としての性能を満たせば、プラズマCVD Si_3N_4 膜やAl、Au、Wその他合金等の材料であっても良く、この下地酸化膜に形成された配線溝の深さや被着した配線用金属材料の膜厚も適宜選択することができる。また、本発明のポリッシング方法に用いる研磨剤は、CMP処理時においてポリッシング装置に装着された半導体基板をポリッシングする際に、研磨剤を半導体基板の加工点に供給すると同時に分散剤（イオン水）も加工点に供給する。

【0019】次に、図15を参照して第4の発明の実施の形態を説明する。図は、図16に示すポリッシング装置の研磨盤及び吸着盤などを含むポリッシング加工部分の概略斜視図及び断面図である。ここでは、ポリッシング時にイオン水を分散剤として用いることに特徴がある。純水や超純水は、半導体装置の製造技術においてその有用性は認められている。純水は、イオン、微粒子、微生物有機物などの不純物をほとんど除去した抵抗率が $5 \sim 18 \text{M}\Omega \cdot \text{cm}$ 程度の高純度の水である。超純水は、

超純水製造装置により水中の懸濁物質、溶解物質及び高効率に取り除いた純水よりさらに純度の高い極めて高純度の水である。電気伝導度で表現すると、純水の伝導率 ρ は、 $10 \mu\text{S cm}$ より小さく、超純水の伝導率 ρ は、 $0.055 \mu\text{S cm}$ より小さい。これらの水を電気分解することによって半導体装置の製造に用いられる酸化性の強い酸性イオン水や還元性の強いアルカリイオン水が生成される。ここでは、半導体製造装置に用いられるポリッシング装置において、研磨布の加工点に研磨剤を注入するパイプと共にイオン水を注入する別のパイプとも設けることを特徴とする。すなわち、研磨剤は、被ポリッシング膜が形成された半導体基板の加工点で希釈して供給されるようにする。

【0020】図15のポリッシング装置は、研磨盤24を備えている。研磨盤24には、図示しない研磨盤受けを介して駆動シャフト（図示せず）がその中心部分に接続されている。そして研磨盤24の上には半導体ウェーハなどの基板を研磨する研磨布25が貼り付けられている。研磨布25は、発泡ポリウレタンやポリウレタン不織布などから構成されている。駆動シャフトは、モータにより回転され、研磨盤受け及び研磨盤24を回転させる。半導体ウェーハは、研磨布25と対向する位置にくるように真空などにより、図示しない吸着布（図示せず）が設けられた吸着盤31により吸着されている。吸着盤31は、駆動シャフト32に接続されこの駆動シャフト32の移動によって吸着盤31に保持されている半導体ウェーハが研磨布25に押し付けられたり離れたりする。半導体ウェーハをポリッシングする場合は、窒化珪素（ Si_3N_4 ）粒子からなる研磨粒子及び硝酸などの溶媒を含む研磨剤を研磨剤タンクから研磨剤供給パイプ38を介して研磨布25に供給するとともに、電解槽41で生成されたイオン水をイオン水供給パイプ39から供給しながら行う。そのために、研磨剤供給パイプ38とイオン水供給パイプ39とはそれらの先端のノズルが研磨布25の上方に半導体ウェーハを保持する吸着盤31の近傍に配置される。

【0021】そして、研磨布25上に載置された半導体ウェーハ上の加工点にこれらの供給パイプ38、39から供給された研磨剤とイオン水とが注入され、混ぜ合わせるようになっている。供給パイプ38、39は、研磨布25の上の任意の位置に移動可能になっている。電解槽41で生成された不要なイオン水は、排水パイプ42により外部に排出される。イオン水には、アルカリイオン水と酸性イオン水があり、電解槽内に固体電解質を配置し、電解質つまり金属不純物を含まない純水あるいは超純水を低電圧で電気分解を行うことによって任意のpHのイオン水が生成される。アルカリイオン水の場合は、研磨中に研磨レートが変動した場合、レートを速くするにはpHをよりアルカリ性側に、遅くするには中性側に制御することで安定した研磨が可能になる。また、

酸性イオン水の場合も研磨中に研磨レートが変動した場合、レートを速くするにはpHをより酸性側に、遅くするには中性側に制御することで安定した研磨が可能になる。

【0022】イオン水は、ポリッシング処理を行なったあとの堆積膜の表面を安定化させることができる。酸性イオン水は、堆積膜がAl、CuやW等の高融点金属などの金属に適している。酸性イオン水を用いたポリッシングによって堆積膜の表面は酸化されて安定化する。また、アルカリイオン水及び酸性水をポリッシングに用いる場合には、酸化シリコン(SiO_2)、窒化シリコン(Si_3N_4)、ポリシリコンなどの堆積膜やシリコン単結晶が適当である。アルカリイオン水によってこれらの堆積膜の表面は安定化される。 SiO_2 膜をポリッシングする処理やポリシリコン膜をポリッシングする処理にはアルカリイオン水を用い、Cu膜をポリッシングする処理には酸性イオン水を用いるのが適当である。イオン水のpHの大きさによって半導体ウェーハのポリッシングレートや堆積膜の安定化の程度などの条件が変わる。したがって、イオン水のpHを調整することはポリッシング条件を適切にする上で重要である。

【0023】アルカリイオン水をポリッシングに用いる場合には、水酸化物イオンとの反応によりポリッシングが促進されるためにアルカリイオン水の注入量を制御することによってポリッシングレートを容易に調整できる。酸性イオン水をポリッシングに用いる場合には、水素イオンとの反応によりポリッシングが促進されるため水素イオン水の注入量を制御することによってポリッシングレートが容易に調整できる。次に、本発明の研磨剤の作用効果を説明する。硝酸を溶媒とし、これに窒化珪素粒子を研磨粒子として分散させた研磨剤を用いてシリコン半導体基板上の被ポリッシング膜であるポリシリコン膜をポリッシングする。研磨粒子の2次粒子径が50nm程度であると、ポリッシングレートは、41.2nm/min程度であるのに対し、この2次粒子径が60nmを越えるとポリッシングレートは、810.8nm/minに達する。2次粒子径がさらに大きく200~260nm程度になると、ポリッシングレートは、さらに大きくなり、1108.4nm/minになる。このように研磨粒子の2次粒子径が大きくなるにしたがってポリッシングレートは、大きくなり、とくに2次粒子径が60nm付近で臨界的に増大する。

【0024】この観点から、研磨粒子は、大きければ大きいほどポリッシングレートが増大するが、粒子径が必要以上に大きくなると、被ポリッシング膜である半導体基板上の酸化膜の表面に傷が目立つようになり、この傷に金属が入り込んで短絡事故を起こすようになる。この様な傷が少なく、平坦な面をもつ被ポリッシング膜を形成するためには、この2次粒子径は300nmを越えないのが良く、とくに60~100nmが傷のない面を形

成する上で好ましい。しかし、半導体装置の微細化が進むにつれて少しの傷でも半導体装置の特性に影響がでるようになるので粒子径は可能な限り小さい方がよい。また、第4の発明の実施の形態では、CMP処理時においてポリッシング装置に装着された半導体基板をポリッシングする際に、研磨剤を半導体基板の加工点に供給すると同時に分散剤(イオン水)も加工点に供給する場合もある。この加工点まで研磨剤と分散剤とを分離しておくのは、イオン水と溶媒が反応して研磨剤が劣化すると、とくにアルカリイオン水は長く保持することができないためである。このとき加工点にはイオン水に希釈された研磨剤が供給されることになるが、この希釈された研磨剤の粘度が1~10cpの範囲に入るように、両者の供給は調整される。

【0025】予め分散剤(イオン水)を研磨剤(スラリー)に加えて希釈された研磨剤を形成することもできる。このような研磨剤は、研磨剤だけが研磨に寄与するのではなく、分散剤による補助的な研磨作用も有る。また、研磨剤の溶媒にも分散作用がある。本発明のポリッシング方法は、半導体装置の製造に適用するのみでなく、液晶などの製造にも適用することができる。

【0026】

【発明の効果】窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなる研磨粒子を分散させた研磨剤は、ポリッシングレートが大きく、被ポリッシング膜の平坦化を効率良く行うことができる。また、この研磨剤を半導体基板をポリッシングするCMPに用いると、被ポリッシング膜に対してディッシングのない加工形状を得ることができる。

【図面の簡単な説明】

【図1】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図2】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図3】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図4】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図5】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図6】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図7】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図8】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図9】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図10】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図11】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図12】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図13】第3の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図14】第3の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図15】第4の発明の実施の形態のポリッシング装置の斜視図及び断面図。

【図16】本発明及び従来例のポリッシング装置の断面図。

【図17】従来のポリッシング方法を説明する半導体基板の工程断面図。

【図18】従来のポリッシング方法を説明する半導体基板の工程断面図。

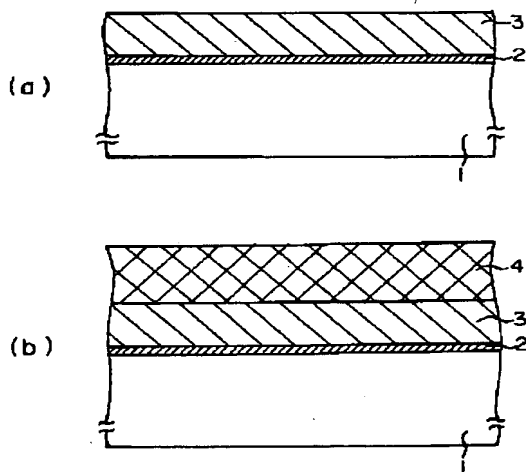
【図19】従来のポリッシング方法を説明する半導体基板の工程断面図。

【図20】従来のポリッシング方法を説明する半導体基板の工程断面図。

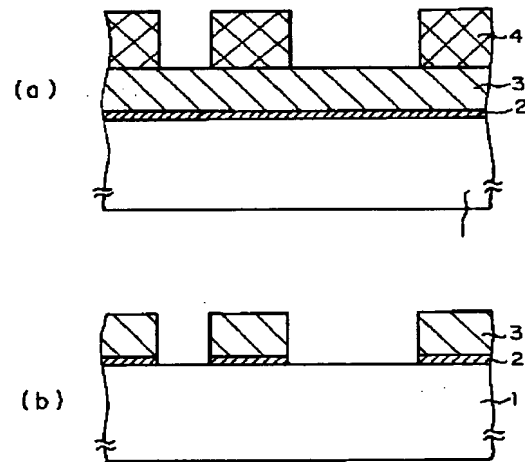
【符号の説明】

1・・・半導体基板、 2・・・窒化珪素膜、 3、6・・・CVD酸化膜、4、9、13・・・フォトレジスト、 5、10、17・・・溝部、7・・・窪み、 8・・・バッファ酸化膜、 11・・・酸化膜、12・・・ポリシリコン膜、 14・・・LOCOS酸化膜、15、18・・・プラズマ酸化膜、 16・・・Cu膜、埋め込みCu配線、20・・・ウェーハ、 21・・・ステージ、 22・・・ベアリング、23・・・研磨盤受け、 24・・・研磨盤、 25・・・研磨布、26・・・駆動シャフト、 27・・・モーター、28・・・回転ベルト、 29・・・テンプレート、30・・・吸着布、 31・・・吸着盤、 32・・・駆動シャフト、33・・・モーター、 34、35・・・ギア、 36・・・駆動台、37・・・シリンダ、 38・・・研磨剤供給パイプ、39・・・イオン水供給パイプ、 40・・・研磨剤タンク、41・・・電解槽、 42・・・排水パイプ。

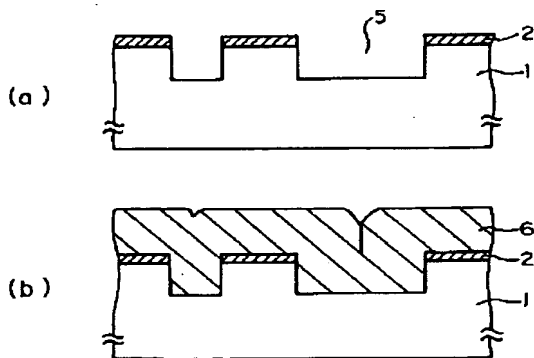
【図1】



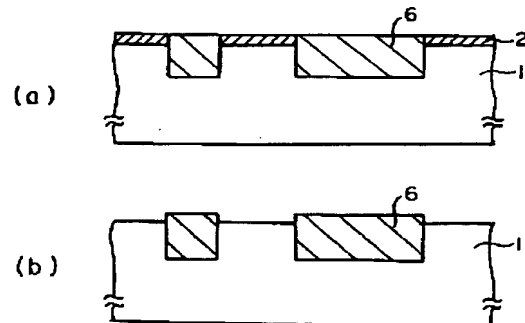
【図2】



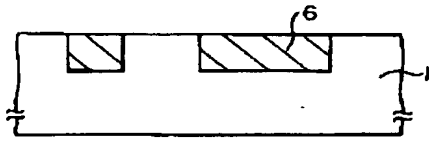
【図3】



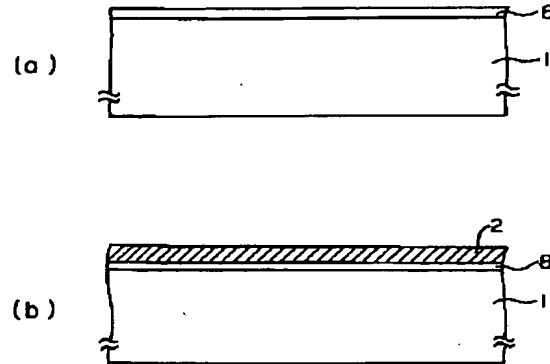
【図4】



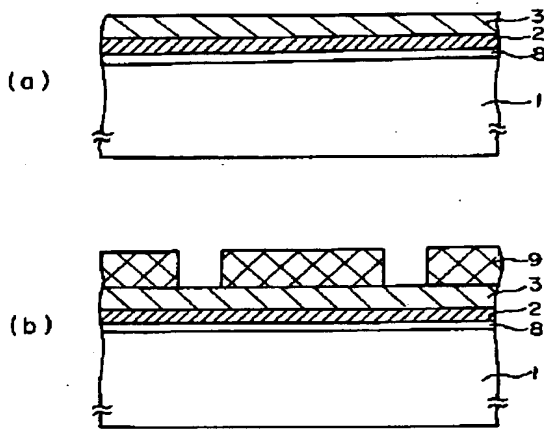
【図 5】



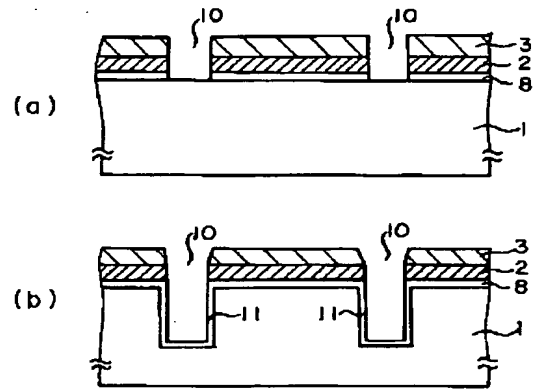
【図 6】



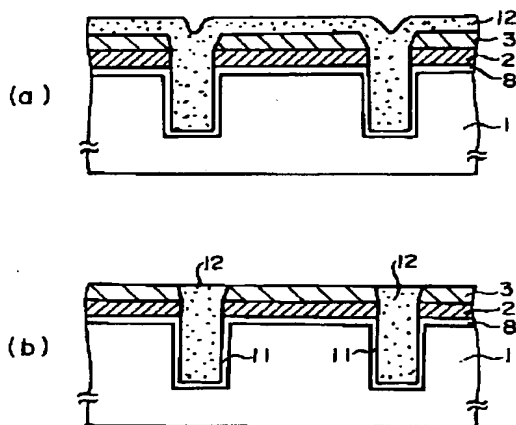
【図 7】



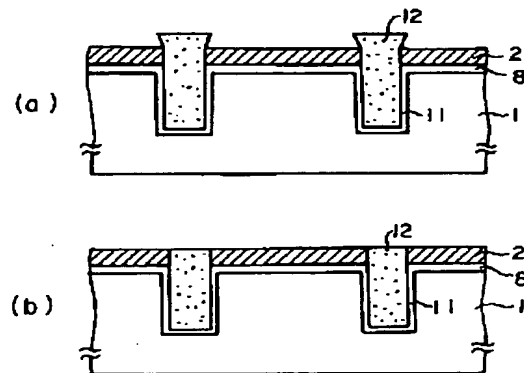
【図 8】



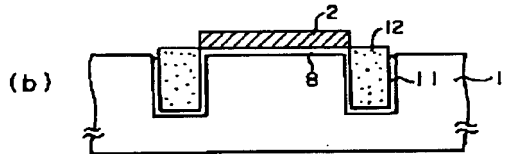
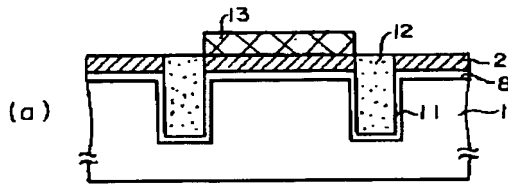
【図 9】



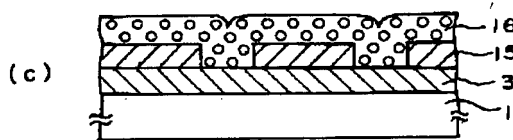
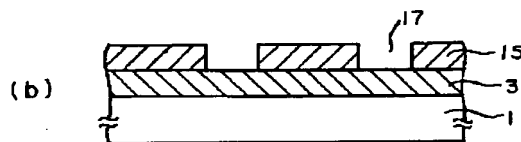
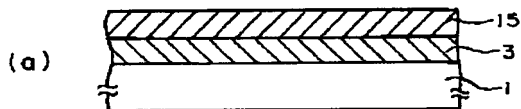
【図 10】



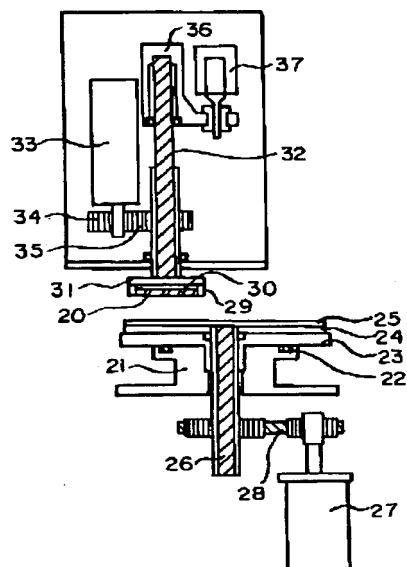
【図11】



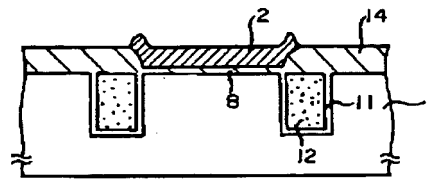
【図13】



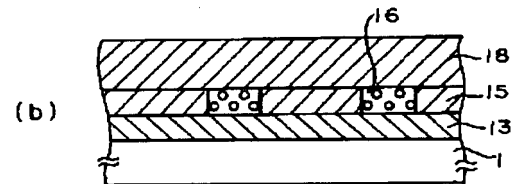
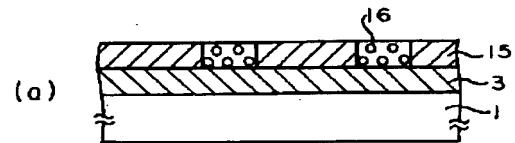
【図16】



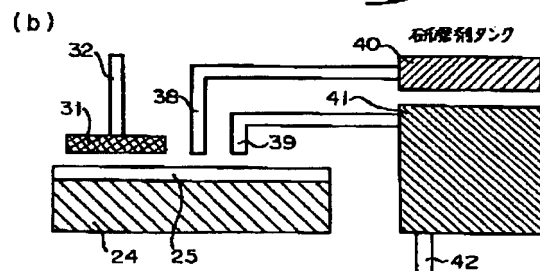
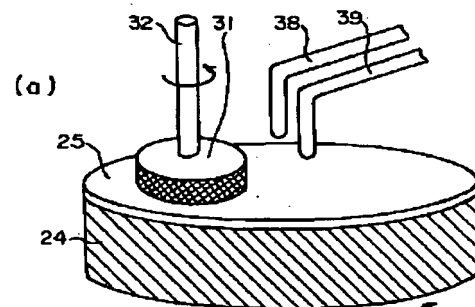
【図12】



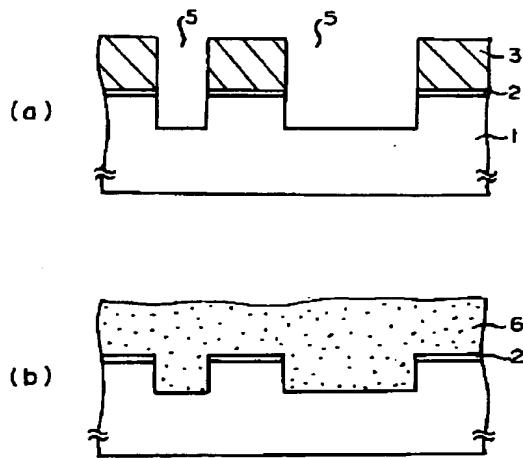
【図14】



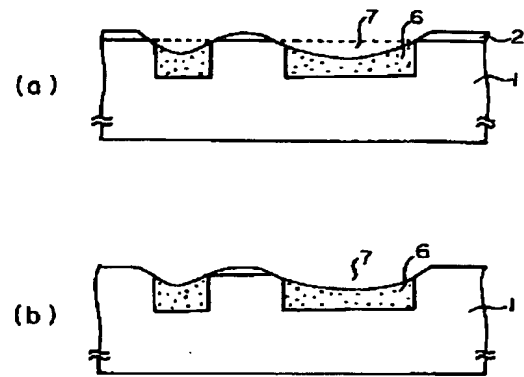
【図15】



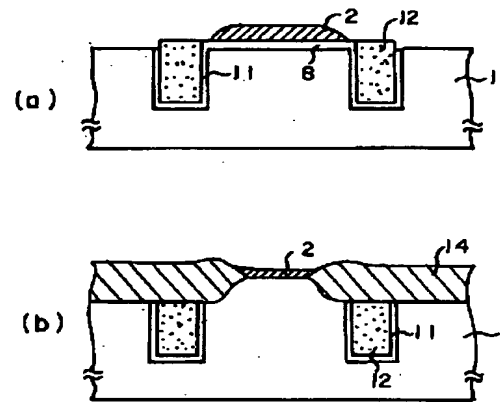
【図17】



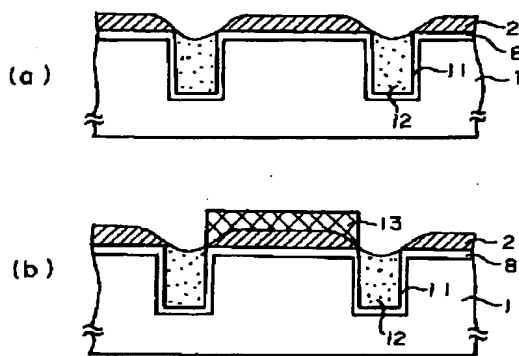
【図18】



【図20】



【図19】



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)